

PC
CLIPPEDIMAGE= JP405114693A

PAT-NO: JP405114693A

DOCUMENT-IDENTIFIER: JP 05114693 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 7, 1993

INVENTOR-INFORMATION:

NAME

SAWATANI, HIROMICHI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP03275370

APPL-DATE: October 23, 1991

INT-CL (IPC): H01L025/065;H01L025/07 ;H01L025/18

US-CL-CURRENT: 257/723,257/777

ABSTRACT:

PURPOSE: To realize multichip mounting at a high packaging density in the state of one package of a chip-on-chip structure.

CONSTITUTION: An IC chip 2 is fixed to the bed 1 of a lead frame. An insulating film 4 of a polyimide resin on which a wiring pattern 13 is expanded is formed on the chip 2 and a plurality of semiconductor chips respectively having sizes smaller than that of the chip 2 is fixed to the film 4. Then a desired circuit is constituted by connecting the IC chip 2 and semiconductor chips 5 to the wiring pattern 13 through bonding wires 14-1, 14-2, and 14-3.

COPYRIGHT: (C) 1993, JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-114693

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl.⁵

H01L 25/065

25/07

25/18

識別記号

庁内整理番号

FI

技術表示箇所

7220-4M

H01L 25/08

B

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平3-275370

(22)出願日 平成3年(1991)10月23日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 沢谷 博道

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

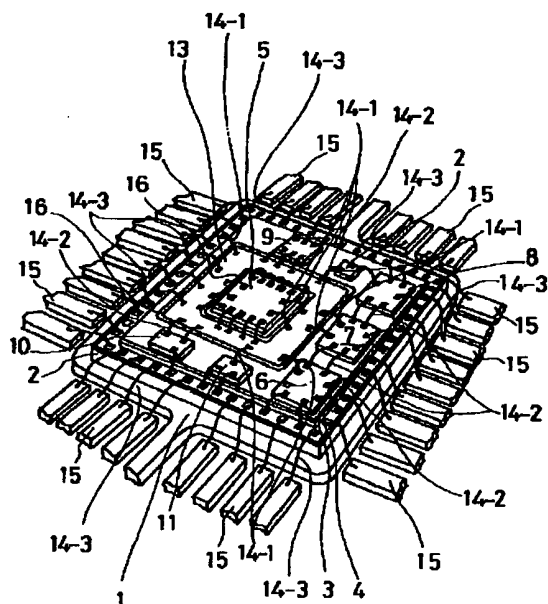
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】チップ・オン・チップの構造で1パッケージ化された高密度なマルチチップ実装を実現する。

【構成】リードフレームのベッド1にICチップ2が固着されている。このICチップ2上には配線パターン13が展開されたポリイミド系の絶縁膜4が形成されている。この絶縁膜4上には前記ICチップ2より小さい複数の半導体チップ5~12が固着されている。これらICチップ2や半導体チップ5~12や配線パターン13とはボンディングワイヤ14-1, 14-2, 14-3によって相互に配線接続され、所望の回路が構成されている。



【特許請求の範囲】

【請求項1】 リードフレームのベッドに固着されたICチップと、前記ICチップ上に形成された絶縁膜と、前記絶縁膜上に形成された配線パターンと、前記絶縁膜上に固着された前記ICチップより小さい複数の半導体チップと、前記ICチップ及び半導体チップ各々と前記配線パターンとが配線接続される第1の接続手段と、前記ICチップ及び半導体チップ各々が相互に配線接続される第2の接続手段と、前記ICチップと前記リードフレームのリードとが配線接続される第3の接続手段とを具備したことを特徴とする半導体装置。

【請求項2】 前記ICチップ上に形成され配線パターンが展開された前記絶縁膜はポリイミド系の部材であり、前記第1の接続手段がなされる前記配線パターンの接続部を除いて保護膜で覆われていることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、リードフレーム上へのマルチチップ実装を達成する1パッケージ化された半導体装置に関する。

【0002】

【従来の技術】リードフレーム上へのマルチチップ実装は、特開昭60-41249号公報、特開昭60-189958号公報等に記載されている。図3は上記各公報と同様な構成のマルチチップ実装の樹脂封止型半導体装置を示す断面図である。

【0003】図3において、リードフレームのベッド31上に配線シート32が固着され、その上にそれぞれの機能を持つICチップ33、34、35が各々固着されている。このチップ33、34、35は導体配線36を介してワイヤボンディングされ、それぞれのチップ間及びリードフレームのリード37との接続を構成している。ICチップ33、34、35はベッド31とリード37の一方端と共に樹脂38により封止されている。

【0004】上記構成では、パッケージ内のシステム規模が大きくなるにつれて、個々のチップサイズが大きくなり、XY方向（平面的）に広がりやすい。従って、高密度実装するには困難である。

【0005】また、リードフレームのパターンやベッド上の例えば配線シート32のような回路基板を利用するマルチチップ実装は、微細パターンに制約があり、集積度の向上がそれほど期待できない。

【0006】

【発明が解決しようとする課題】このように従来では、個々のチップサイズが大きくなるほど高密度なマルチチップ実装が困難になるという欠点がある。この発明は上記事情を考慮してなされたものであり、その目的は高密度なマルチチップ実装を実現する半導体装置を提供することにある。

【0007】

【課題を解決するための手段】この発明は、リードフレームのベッドに固着されたICチップと、前記ICチップ上に形成された絶縁膜と、前記絶縁膜上に形成された配線パターンと、前記絶縁膜上に固着された前記ICチップより小さい複数の半導体チップと、前記ICチップ及び半導体チップ各々と前記配線パターンとが配線接続される第1の接続手段と、前記ICチップ及び半導体チップ各々が相互に配線接続される第2の接続手段と、前記ICチップと前記リードフレームのリードとが配線接続される第3の接続手段とを具備したことを特徴としている。

【0008】

【作用】この発明ではポリイミド系の絶縁膜上に配線パターンを形成することにより、複雑な配線パターンが絶縁膜上に展開できる。これにより、ICチップ上の半導体チップ相互の配線接続が集積されやすくなる。

【0009】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1はこの発明に係るマルチチップ実装の半導体装置の構成を示す封止前の斜視図である。ICチップの上に、このICチップよりも小さい半導体チップや半導体素子が複数搭載されたチップ・オン・チップの構造である。

【0010】リードフレームのベッド1上にICチップ2が固着されている。ICチップ2上にはSiN等からなる表面保護膜3が形成され、その上にはポリイミド等からなる10μm程度の絶縁膜4が形成されている。この絶縁膜4上にチップ2よりもチップ面積の小さい半導体チップ5～12が固着されている。半導体チップ5～12は例えばICチップや、受動素子である。

【0011】絶縁膜4上には上記半導体チップ5～12相互が配線されるための電極配線パターン13が形成されている。電極配線パターン13の形成周囲はSiN等の保護膜16が形成されている。

【0012】ICチップ2やその上の各々の半導体チップ5～12は、それぞれ配線パターン13を介し、または介さずに必要なワイヤボンディングがなされる。ボンディングワイヤ14-1は各々チップの電極パッドと電極配線パターン13とを接続するボンディングワイヤである。ボンディングワイヤ14-2はチップどうしを接続するボンディングワイヤである。ボンディングワイヤ14-3はチップ2の電極パッドからリードフレームのリード15に繋がるボンディングワイヤである。チップ2の周辺は電極パッドが配列され、ボンディングがなされるため表面保護膜3と絶縁膜4が除去されている。

【0013】これらICチップ2及び半導体チップ5～12は、各々結線に必要なボンディングワイヤが形成され、図2に示す断面図のように、ベッド1とリード15の一方端を含んで例えば樹脂21により封止された1パッケ

ージ化された半導体装置となる。なお、図1と同一の箇所には同一符号を付している。

【0014】チップ2上にチップ5～12を固着する接着部材21は、通常のICと同様に導電性ペーストあるいは絶縁性ペーストを使用すればよい。またボンディングワイヤ14や電極配線パターン13の配線材料は、Al、Al-Si、Al-Si-Cu、Cu等が考えられる。また、電極配線パターン13の周囲を保護するSiN等の保護膜16はボンディングワイヤ14-1が接続されるパッド部を除いて覆う構成にすると信頼性がさらに向上する。

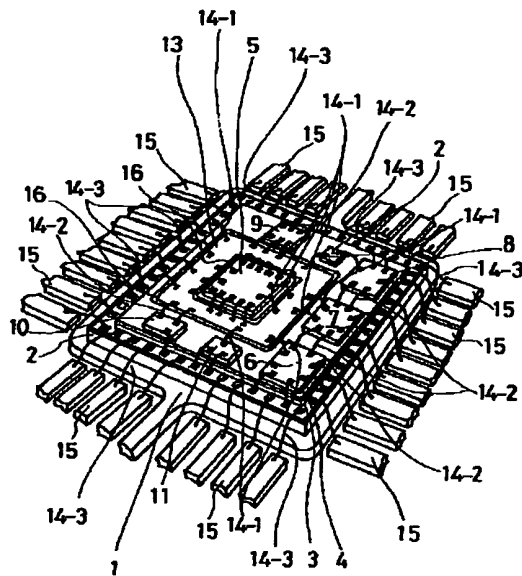
【0015】表面に電極配線パターン13が構成されたポリミド系の絶縁膜4は金属と保護膜のパターン形成のみで製作工程が短い。また、基板上に配線パターンを展開するよりも複雑化が可能である。このような利点から、マルチチップ実装の開発期間の短縮が期待できる。

【0016】さらに、ユーザへの納期短縮を達成するために、電極配線パターン13は、予め幾つかのテストパターンに分類しておいてもよい。類似電極配線パターンを選択し、レーザカッティング等により、配線を切断しながら回路構成するということも可能である。

10

20

【図1】



【0017】

【発明の効果】以上説明したようにこの発明によれば、複雑な配線パターンを絶縁膜上に展開することにより、ICチップ上の半導体チップ相互の配線接続が集積されやすくなるので、高密度なマルチチップ実装を実現する1パッケージ化された半導体装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の実施例に係る半導体装置の構成を示す斜視図。

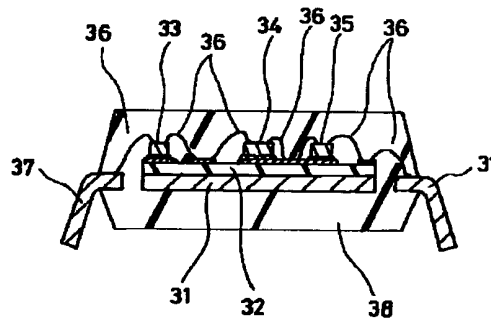
【図2】この発明の実施例に係る樹脂封止で1パッケージ化した半導体装置の構成を示す断面図。

【図3】従来の樹脂封止型半導体装置の構成を示す断面図。

【符号の説明】

1…ベッド、2…ICチップ、3…表面保護膜、4…絶縁膜、5～12…半導体チップ、13…電極配線パターン、14-1～14-3…ボンディングワイヤ、15…リード、16…保護膜、22…樹脂。

【図3】



【図2】

